



#4

**PATENT****Atty. Docket No: 29926/38065****IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

Application of: Jung-Won Suh	)	For: Apparatus and Method
	)	for Controlling Bank Refresh
Serial No: 10/035,886	)	
	)	Group Art Unit 2182
Filed: December 26, 2001	)	
	)	Examiner: unknown
	)	

**TRANSMITTAL OF PRIORITY DOCUMENT**

Commissioner for Patents  
Washington, D.C. 20231

Sir:

Enclosed herewith is a certified copy of Korean Patent  
Application No. 2000-82345, filed December 26, 2000, upon which  
priority of the instant application is claimed under 35 U.S.C. §119.

Respectfully submitted,

MARSHALL, GERSTEIN & BORUN  
6300 Sears Tower  
233 South Wacker Drive  
Chicago, Illinois 60606-6357  
(312) 474-6300

By: Mark G. Hanely  
Mark G. Hanely  
Reg. No: 44,736

April 5, 2002



20144027

# 대한민국 특허청

## KOREAN INTELLECTUAL PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

CERTIFIED COPY OF  
PRIORITY DOCUMENT

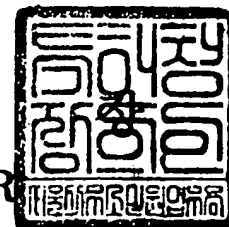
출원 번호 : 특허출원 2000년 제 82345 호  
Application Number  
출원 년 월 일 : 2000년 12월 26일  
Date of Application  
출원인 : 주식회사 하이닉스반도체  
Applicant(s)



2001 년 05 월 23 일

특 허 청

COMMISSIONER



**【서지사항】**

**【서류명】** 출원인정보변경 (경정)신고서  
**【수신처】** 특허청장  
**【제출일자】** 20010417  
**【출원인】**

**【명칭】** 주식회사 하이닉스반도체

**【출원인코드】** 119980045698

**【대리인】**

**【성명】** 특허법인 신성 정지원

**【대리인코드】** 920000002923

**【변경사항】**

**【경정항목】** 한글 성명(명칭)

**【경정전】** 현대전자산업주식회사

**【경정후】** 주식회사 하이닉스반도체

**【변경사항】**

**【경정항목】** 영문 성명(명칭)

**【경정전】** HYUNDAI ELECTRONICS IND. CO.,LTD

**【경정후】** Hynix Semiconductor Inc.

**【변경사항】**

**【경정항목】** 인감

**【경정전】**

**【경정후】**

**【취지】**

특허법시행규칙 제9조·실용신안법시행규칙 제12조·의장법  
시행규칙 제28조 및 상표법시행규칙 제23조의 규정에 의하  
여 위와 같이 신고합니다.

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0009
【제출일자】	2000.12.26
【발명의 명칭】	뱅크 리프레쉬 제어 장치 및 방법
【발명의 영문명칭】	Bank reflash control device and method
【출원인】	
【명칭】	현대전자산업주식회사
【출원인코드】	1-1998-004569-8
【대리인】	
【성명】	특허법인 신성 정지원
【대리인코드】	9-2000-000292-3
【포괄위임등록번호】	2000-049307-2
【대리인】	
【성명】	특허법인 신성 원석희
【대리인코드】	9-1998-000444-1
【포괄위임등록번호】	2000-049307-2
【대리인】	
【성명】	특허법인 신성 박해천
【대리인코드】	9-1998-000223-4
【포괄위임등록번호】	2000-049307-2
【발명자】	
【성명의 국문표기】	서정원
【성명의 영문표기】	SUH, Jung Won
【주민등록번호】	681107-1067029
【우편번호】	463-055
【주소】	경기도 성남시 분당구 서당동 효자임광아파트 308-502
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 특허법인 신성 정지원 (인) 대리인 특허법인 신성 원석희 (인) 대리인 특허법인 신성 박해천 (인)

## 【수수료】

【기본출원료】	16	면	29,000	원
---------	----	---	--------	---

【가산출원료】	0	면	0	원
---------	---	---	---	---

【우선권주장료】	0	건	0	원
----------	---	---	---	---

【심사청구료】	2	항	173,000	원
---------	---	---	---------	---

【합계】	202,000	원		
------	---------	---	--	--

【첨부서류】	1. 요약서·명세서(도면)_1통			
--------	-------------------	--	--	--

**【요약서】****【요약】**

본 발명은 다수의 뱅크를 구비한 동기식 메모리 장치에서 사용되는 뱅크 리프레쉬 제어장치 및 그 방법에 관한 것으로, 특히 다수의 뱅크 중 일정수의 일부 뱅크에 대한 리프레쉬 동작을 이들 뱅크를 제외한 타 뱅크들이 정상 동작되고 있는 타이밍 구간에 대해 순차적으로 번갈아 수행하도록 제어함으로써 메모리 소자의 전체 동작시간 중 리프레쉬에 요구되는 시간비중을 대폭 감소시켜 전체적인 소자 성능의 향상 및 고속화를 꾀할 수 있도록 한 뱅크 리프레쉬 제어장치 및 그 방법에 관한 것이다.

이를 위해, 버퍼링된 각 뱅크 어드레스 신호를 논리조합하여 발생시킨 제어신호에 의해 리셋 여부가 제어되는 2진 카운팅 수단과, 상기 2진 카운팅 수단의 출력신호에 따라 스위칭 여부가 제어되어 입력된 뱅크 어드레스 신호에 따른 내부의 뱅크 어드레스 신호를 발생시키는 스위칭 수단 및, 상기 스위칭 수단을 거쳐 발생된 내부의 뱅크 어드레스 신호를 전달받아 순차적 리프레쉬 수행을 위한 다수의 뱅크 조합을 형성하는 칩-셋 제어수단을 구비한다.

**【대표도】**

도 1

**【색인어】**

리프레쉬, 뱅크, 리셋, 어드레스 신호, 버퍼, 카운터, 동기식 메모리.

**【명세서】****【발명의 명칭】**

뱅크 리프레쉬 제어 장치 및 방법{Bank refresh control device and method}

**【도면의 간단한 설명】**

도 1은 본 발명의 일 실시예에 따른 뱅크 리프레쉬 제어장치의 블록 구성도

도 2는 본 발명에 따른 히든 리프레쉬 동작의 수행을 위한 3가지 뱅크 조합예를 나타낸 예시도

도 3은 본 발명에 따른 일부 뱅크의 리프레쉬 순서를 나타낸 예시도

<도면의 주요부분에 대한 부호의 설명>

12, 14, 16: 입력 버퍼링 수단    22, 24, 26: 래치 수단

30: 2진 카운터링 수단    40: 스위칭 수단

50: 칩-셋 제어수단    5: 제어신호 발생부

**【발명의 상세한 설명】****【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<8>    본 발명은 반도체 메모리 장치에 관한 것으로, 보다 상세하게는 다수의 뱅크를 구비한 동기식 메모리 장치에서 사용되는 뱅크 리프레쉬 제어장치 및 그 방법에 관한 것이

다.

<9> 일반적으로, 고립된 셀(cell) 캐패시터에는 전하의 형태로 데이터가 저장되는데 상기한 캐패시터가 완벽하지 않기 때문에 저장된 전하의 일부가 누설 전류에 의해 지속적으로 소멸하게 된다. 따라서, 데이터가 완전히 소멸되기 전에 저장된 데이터를 꺼내 읽어보고 다시 써넣는 반복된 동작과정이 요구되는데, 이를 '리프레쉬 동작'이라 한다.

<10> 한편, 디램 등 각종 메모리 소자의 집적도가 증가하고 동작속도가 고속화됨에 따라, 이들 소자의 리프레쉬 동작율이 크게 증가되면서 이에 따른 리프레쉬 간격이 점차 줄어드는 방향으로 스펙이 정해지고 있는 실정이다. 이와 같이, 리프레쉬 동작율이 증가함에 따라 전체 동작시간 중 리프레쉬 시간이 차지하는 비중이 크게 증대되고 있으며, 이러한 리프레쉬에 의한 동작상의 오버헤드(overhead)가 빈번히 발생되어 이를 줄이기 위한 여러 가지 방안에 대한 연구가 활발히 진행되고 있다.

<11> 그런데, 종래 기술에 따른 디램-특히, 다수의 뱅크를 구비한 동기식 디램에서는 모든 뱅크를 대기상태로 만들어 동시에 모든 뱅크에 대해 리프레쉬를 수행하는 방식을 주로 택하고 있는데, 이에 따르면 리프레쉬 동작시간동안에는 전혀 다른 동작을 할 수 없게 되어 결과적으로 고속화를 저하시키는 중대한 문제점을 안고 있을 뿐만 아니라, 전체적인 시스템 성능면에도 악영향을 미치게 되는 문제점이 발생한다.

<12> 한편, 종래 기술에 따른 또 다른 리프레쉬 방법으로는 리프레쉬하는 뱅크마다 해당 어드레스 신호를 리프레쉬 명령신호와 함께 일일이 입력해 주는 방법이 채택되고 있으나, 이 방법 또한 동작상의 번거로움을 피할 수 없게 되는 추가적인 문제점이 있다.



**【발명이 이루고자 하는 기술적 과제】**

- <13> 본 발명은 상기 문제점을 해결하기 위하여 이루어진 것으로, 본 발명의 목적은 다수의 बैं크 중 일정수의 일부 बैं크에 대한 리프레쉬 동작을 이들 बैं크를 제외한 타 बैं크들이 정상 동작되고 있는 타이밍 구간에 대해 순차적으로 번갈아 수행하도록 제어한 बैं크 리프레쉬 제어장치 및 그 방법을 제공하는데 있다.
- <14> 상기 목적을 달성하기 위하여, 본 발명에 의한 बैं크 리프레쉬 제어장치는 리프레쉬 명령신호와 함께 외부로부터 입력되는  $n$ 개의 बैं크 어드레스 신호를 내부동작에 적합한 신호레벨로 버퍼링하여 출력하는  $n$ 개의 입력 버퍼링 수단과,
- <15> 상기 리프레쉬 명령신호의 인가시에만 활성화되어 상기  $n$ 개의 입력 버퍼링 수단을 거쳐 전달된 각 बैं크 어드레스 신호의 전위를 일정하게 래치시키는  $n$ 개의 래치 수단과,
- <16> 상기  $n$ 개의 입력 버퍼링 수단을 거쳐 전달된 각 बैं크 어드레스 신호를 논리조합하여 발생시킨 제어신호에 의해 리셋 여부가 제어되는 2진 카운팅 수단과,
- <17> 상기 2진 카운팅 수단의 출력신호에 따라 스위칭 여부가 제어되어 상기  $n$ 개의 래치 수단을 거쳐 입력된 बैं크 어드레스 신호에 따른 내부의 बैं크 어드레스 신호를 발생시키는 스위칭 수단 및,
- <18> 상기 스위칭 수단을 거쳐 발생된 내부의 बैं크 어드레스 신호를 전달받아 순차적 리프레쉬 수행을 위한 다수의 बैं크 조합을 형성하는 칩-셋 제어수단을 구비한다.
- <19> 또한, 본 발명에 따른 बैं크 리프레쉬 제어방법은 리프레쉬 명령신호와 함께 외부로부터 입력되는 बैं크 어드레스 신호를 내부 동작에 적합한 신호레벨로 버퍼링하여 출력하는 버퍼링 과정과,

- <20>      상기 버퍼링 과정을 거쳐 출력된 각 뱅크 어드레스 신호의 전위를 상기 리프레쉬 명령신호의 인가시에만 전달받아 일정하게 래치시키는 래치 과정과,
- <21>      상기 버퍼링 과정을 거쳐 전달된 각 뱅크 어드레스 신호를 논리 조합하여 발생시킨 제어신호에 의해 리셋 여부가 제어되어 2진 카운팅 동작을 수행하는 카운팅 과정과,
- <22>      상기 카운팅 과정을 거쳐 발생된 출력신호에 의해 스위칭 여부가 제어되어 상기 래치 과정을 거쳐 입력된 뱅크 어드레스 신호에 따른 내부의 뱅크 어드레스 신호를 발생시키는 스위칭 과정 및,
- <23>      상기 스위칭 과정을 거쳐 발생된 내부의 뱅크 어드레스 신호를 전달받아 순차적 리프레쉬 동작수행을 위한 다수의 뱅크 조합을 형성하는 칩-셋 제어과정을 구비한다.

#### 【발명의 구성 및 작용】

- <24>      상술한 목적 및 기타의 목적과 본 발명의 특징 및 이점은 첨부된 도면과 관련한 다음의 상세한 설명을 통하여 보다 분명해 질 것이다. 이하, 첨부된 도면을 참조하여 본 발명의 실시예를 상세히 설명하면 다음과 같다.
- <25>      도 1은 본 발명의 일 실시예에 따른 뱅크 리프레쉬 제어장치의 블록 구성도를 도시한 것으로, n개의 입력 버퍼링 수단(12, 14, 16)과, n개의 래치수단(22, 24, 26), 2진 카운팅 수단(30) 및 스위칭 수단(40)과 칩-셋 제어수단(50)을 구비하여 구성된다. 본 실시예의 경우, 8개의 뱅크 어드레스 조합을 위한 최소의 비트수인 3비트로 인해 n개는 3개로 한정하고 있으나, 이는 메모리 소자내 구비하는 뱅크수-예를 들어, 16개의 뱅크를 구비한 동기식 디램의 경우 상기 요구되는 입력 버퍼링 수단 및 래치 수단의 수 n은

'4'가 될 것이며, 32개의 뱅크를 구비한 동기식 디램의 경우 상기 n이 '5'가 되는 등-에 따라 가변될 수 있겠다.

<26> 본 발명에서 사용되는 3개의 입력 버퍼링 수단(12, 14, 16)은 리프레쉬 명령신호와 함께 외부로부터 입력되는 3개의 뱅크 어드레스 신호(BA0, BA1, BA2)를 각각 입력받아 기준 전위신호(Vref)와의 비교를 거쳐 내부 동작에 적합한 신호레벨로 버퍼링하여 출력하게 된다. 또, 상기 3개의 래치수단(22, 24, 26)은 리프레쉬 명령신호의 인가시에만 활성화되어 상기 3개의 입력 버퍼링 수단(12, 14, 16)을 거쳐 전달된 각 뱅크 어드레스 신호의 전위를 일정하게 래치시키게 된다. 또한, 상기 다수의 입력 버퍼링 수단(12, 14, 16)을 거쳐 전달된 각 뱅크 어드레스 신호를 논리 조합하여 후단에 접속된 2진 카운팅 수단(30)의 리셋 여부를 제어하는 제어신호 발생부(5)를 별도로 구비하게 되는데, 본 실시예의 경우, 상기 3개의 입력 버퍼링 수단(12, 14, 16)의 출력신호를 입력받아 노아 조합하는 3입력 노아 게이트(NOR1)와, 상기 노아 게이트(NOR1)의 출력단에 직렬 연결되어 신호를 반전시키는 인버터(IV1)로 구성한다. 상기 제어신호 발생부(5)의 회로 구성은 동 도면에 도시된 구성에 국한되는 것이 아니라, 오아(OR) 논리조합을 구현하는 별도의 타 구성이어도 무방하겠다.

<27> 한편, 상기 2진 카운팅 수단(30)은 상기 제어신호 발생부(5)를 거쳐 발생된 리셋 제어신호(reset)의 전위 상태에 따라 리셋 여부가 제어되어 어드레스 카운팅 동작을 수행한다. 또한, 상기 스위칭 수단(40)은 상기 2진 카운팅 수단(30)의 출력신호(C<0>, C<1>)에 따라 스위칭 여부가 제어되어 상기 3개의 래치수단(22, 24, 26)을 거쳐 입력된 뱅크 어드레스 신호(A0, A1, A2)에 따른 내부의 뱅크 어드레스 신호(IBA0<0:1>, IBA1<0:1>, IBA1<0:1>)를 발생시킨다. 마지막으로, 상기 스위칭 수단(40)을 거쳐 발생된 내

부의 뱅크 어드레스 신호( $IBA0<0:1>$ ,  $IBA1<0:1>$ ,  $IBA1<0:1>$ )를 전달받아 순차적 리프레쉬 수행을 위한 다수의 뱅크 조합을 상기 칩-셋 제어수단(50)이 형성하게 되는 것이다.

<28> 따라서, 상기 구성을 갖는 뱅크 리프레쉬 제어장치에 따른 뱅크 리프레쉬 제어방법은 리프레쉬 명령신호와 함께 외부로부터 입력되는 뱅크 어드레스 신호를 내부 동작에 적합한 신호레벨로 버퍼링하여 출력하는 버퍼링 과정과, 상기 버퍼링 과정을 거쳐 출력된 각 뱅크 어드레스 신호의 전위를 상기 리프레쉬 명령신호의 인가시에만 전달받아 일정하게 래치시키는 래치 과정과, 상기 버퍼링 과정을 거쳐 전달된 각 뱅크 어드레스 신호를 논리 조합하여 발생시킨 제어신호에 의해 리셋 여부가 제어되어 2진 카운팅 동작을 수행하는 카운팅 과정, 그리고 상기 카운팅 과정을 거쳐 발생된 출력신호에 의해 스위칭 여부가 제어되어 상기 래치 과정을 거쳐 입력된 뱅크 어드레스 신호에 따른 내부의 뱅크 어드레스 신호를 발생시키는 스위칭 과정 및, 상기 스위칭 과정을 거쳐 발생된 내부의 뱅크 어드레스 신호를 전달받아 순차적 리프레쉬 동작수행을 위한 다수의 뱅크 조합을 형성하는 칩-셋 제어과정을 거쳐 수행된다.

<29> 상기 구성 및 방법에 의해, 리프레쉬 명령신호의 인가시 함께 외부로부터 입력되는 뱅크 어드레스 신호를 뱅크 조합에 대한 리셋으로 인식하게 되어 몇가지의 정해진 뱅크 조합 순서를 얻게 되며, 이에 따라 일부의 뱅크를 리프레쉬하는 경우 해당 뱅크의 어드레스 신호를 일일이 지정하지 않고도 정해진 뱅크순서에 따라 리프레쉬 동작을 수행할 수 있게 되는 것이다. 결과적으로, 다수의 뱅크 중 일부의 뱅크에 대한 리프레쉬를 해당 뱅크를 제외한 타 뱅크들이 정상 동작되고 있는 타이밍 구간에서 가능하게 할 수 있게 되는 것이며, 이와 같은 리프레쉬 동작을 통상적으로 '히든 리프레쉬 동작'이라 칭한다.

다.

<30> 도 2는 본 발명에 따른 히든 리프레쉬 동작의 수행을 위한 3가지 뱅크 조합예를 나타낸 예시도로, 8개의 뱅크를 구비한 동기식 메모리장치를 가정했을 때, 리프레쉬 명령 신호와 함께 외부로부터 입력되는 3개의 뱅크 어드레스신호(BA0, BA1, BA2)에 따라 3가지의 뱅크 조합이 가능해지는 것을 나타낸다. 동 도면에서 검게 색칠된 박스안의 '0'과 '1'은 새로운 리셋신호가 입력되기 전 리프레쉬 명령신호의 인가시마다 카운팅된 내부의 뱅크 어드레스 신호의 전위 상태를 나타내며, 마찬가지로 검게 색칠된 박스안의 'X' 표시는 'Don't Care' 상태를 나타낸다.

<31> 동 도면에 도시된 '뱅크 조합예 1'의 경우를 예로 들어 설명하면 다음과 같다.

<32> 우선, 리프레쉬 명령신호와 함께 일측 뱅크 어드레스 신호(BA0)가 로직하이 '1'로 입력되면, 해당되는 내부의 뱅크 어드레스 신호(IBA0)가 'Don't Care' 상태가 되면서 8개의 뱅크 중 '뱅크0'과 '뱅크1'이 먼저 히든 리프레쉬 동작을 수행하게 된다. 이때, 각 내부의 뱅크 어드레스 신호의 상태는 각각 IBA0='Don't Care' 상태, IBA1=로직로우 '0', IBA2=로직로우 '0'가 된다. 이 상태에서 다음 리프레쉬 명령신호가 인가되면(이때는 동 도면에 도시된 바와 같이 모든 뱅크 어드레스 신호의 입력상태는 로직로우 '0'가 되어야 한다.) 다음 조합인 뱅크2와 뱅크3이 히든 리프레쉬 동작을 수행하게 된다. 물론, 이때의 내부 뱅크 어드레스 신호의 상태는 각각 IBA0='Don't Care' 상태, IBA1=로직하이 '1', IBA2=로직로우 '0'가 된다.

<33> 이와 같은 방법으로 모든 뱅크를 스캔한 다음, 다른 리셋 신호의 입력에 의해 뱅크 조합이 바뀌게 된다. 즉, 다른 리셋 신호가 인가되기 전에는 세팅된 뱅크조합이 계속 유지되면서 일부 뱅크의 히든 리프레쉬 동작을 순차적으로 반복해서 수행하게 된다. 또

1020000082345

한, 메모리 시스템에서 칩-셋 제어수단은 히든 리프레쉬 동작의 원활한 수행을 위해 보다 적합한 뱅크 조합을 선택해주므로써, 전체 메모리 시스템의 성능을 크게 향상시킬 수 있도록 제어하게 된다.

<34> 도 3 은 본 발명에 따른 일부 뱅크의 리프레쉬 순서를 나타낸 예시도로, 8개의 뱅크로 구성된 동기식 메모리에서 2개씩의 뱅크를 나머지 6개 뱅크의 동작시 히든 리프레쉬시키는 순서를 도시한다. 즉, 뱅크0과 뱅크1은 다른 6개의 뱅크가 리드나 라이트동작을 수행할 때 히든 리프레쉬 동작을 수행한 다음, 뱅크2와 뱅크3도 다른 6개의 뱅크들의 동작시 히든 리프레쉬 동작을 수행하도록 제어하므로써, 정해진 뱅크의 순서에 따라 리프레쉬를 고속으로 수행하게 된다.

<35> 지금까지 기술한 본 발명의 실시예에서는 8뱅크 구성을 중심으로 설명을 진행하였으나, 4, 16 또는 32뱅크 등으로 구성된 동기식 메모리에 모두 적용되어 구현가능하다고 할 수 있겠다. 또한, 상기 2진 카운팅 수단(30)의 동작 제어신호인 리셋 신호(reset)를 2비트로 늘려 구성할 경우, 동시에 4개의 뱅크에 대한 히든 리프레쉬 동작이 가능해지게 된다. 한편, 상기 리셋 신호(reset)는 뱅크 어드레스 신호뿐만 아니라 기타 다른 어드레스신호의 조합에 의해서도 발생가능하다고 할 수 있겠다.

#### 【발명의 효과】

<36> 이상에서 설명한 바와 같이 본 발명에 따른 뱅크 리프레쉬 제어장치 및 그 방법에 의하면, 메모리 소자의 전체 동작시간 중 리프레쉬에 요구되는 시간비중을 대폭 감소시켜 전체적인 소자 성능의 향상 및 고속화를 꾀할 수 있게 되는 매우 뛰어난 효과가

있다.

<37> 아울러, 본 발명의 바람직한 실시예들은 예시의 목적을 위해 개시된 것이며, 당업자라면 본 발명의 사상과 범위 안에서 다양한 수정, 변경, 부가 등이 가능할 것이며, 이러한 수정, 변경 등은 이하의 특허청구의 범위에 속하는 것으로 보아야 할 것이다.

**【특허청구범위】****【청구항 1】**

리프레쉬 명령신호와 함께 외부로부터 입력되는  $n$ 개의 뱅크 어드레스 신호를 내부 동작에 적합한 신호레벨로 버퍼링하여 출력하는  $n$ 개의 입력 버퍼링 수단과,

상기 리프레쉬 명령신호의 인가시에만 활성화되어 상기  $n$ 개의 입력 버퍼링 수단을 거쳐 전달된 각 뱅크 어드레스 신호의 전위를 일정하게 래치시키는  $n$ 개의 래치 수단과,

상기  $n$ 개의 입력 버퍼링 수단을 거쳐 전달된 각 뱅크 어드레스 신호를 논리조합하여 발생시킨 제어신호에 의해 리셋 여부가 제어되는 2진 카운팅 수단과,

상기 2진 카운팅 수단의 출력신호에 따라 스위칭 여부가 제어되어 상기  $n$ 개의 래치수단을 거쳐 입력된 뱅크 어드레스 신호에 따른 내부의 뱅크 어드레스 신호를 발생시키는 스위칭 수단, 및

상기 스위칭 수단을 거쳐 발생된 내부의 뱅크 어드레스 신호를 전달받아 순차적 리프레쉬 수행을 위한 다수의 뱅크 조합을 형성하는 칩-셋 제어수단

을 구비하는 것을 특징으로 하는 뱅크 리프레쉬 제어장치.

**【청구항 2】**

리프레쉬 명령신호와 함께 외부로부터 입력되는 뱅크 어드레스 신호를 내부 동작에 적합한 신호레벨로 버퍼링하여 출력하는 버퍼링 과정과,

상기 버퍼링 과정을 거쳐 출력된 각 뱅크 어드레스 신호의 전위를 상기 리프레쉬 명령신호의 인가시에만 전달받아 일정하게 래치시키는 래치 과정과,



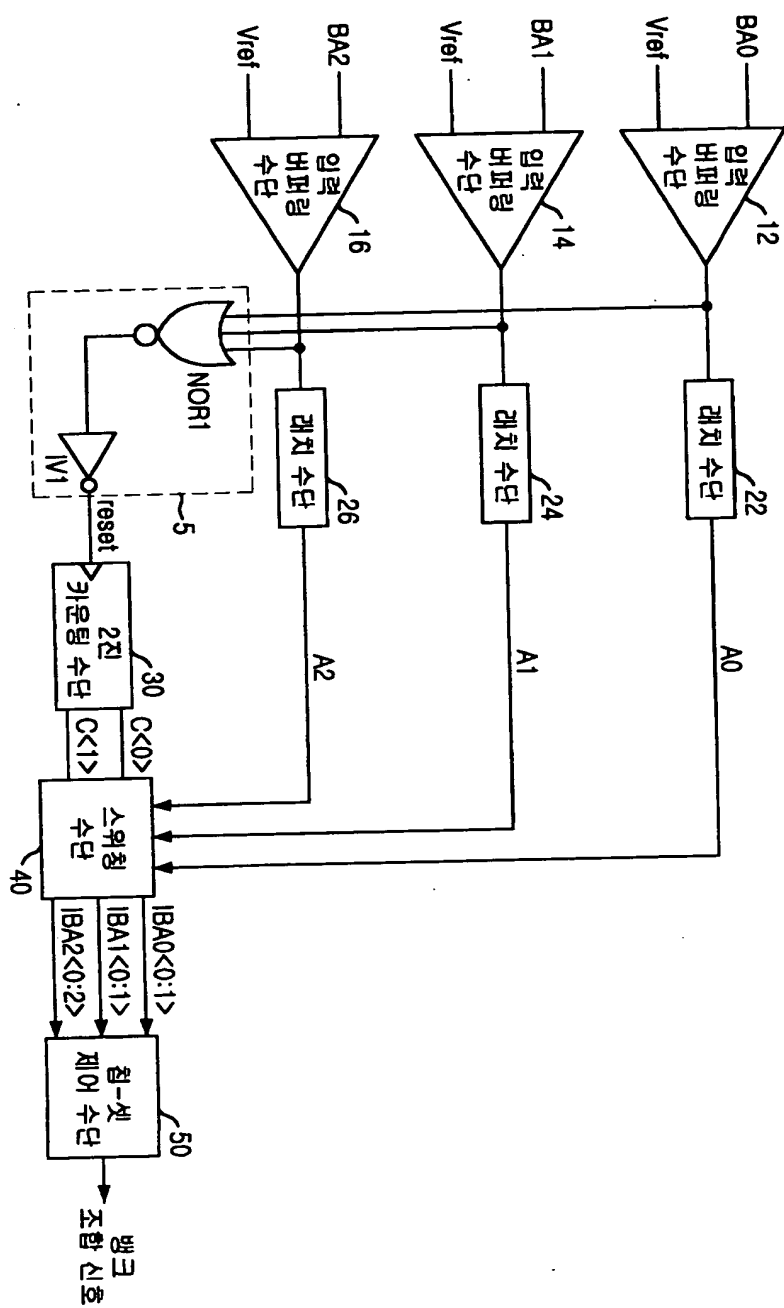
1020000082345

상기 버퍼링 과정을 거쳐 전달된 각 뱅크 어드레스 신호를 논리 조합하여 발생시킨 제어신호에 의해 리셋 여부가 제어되어 2진 카운팅 동작을 수행하는 카운팅 과정과,

상기 카운팅 과정을 거쳐 발생된 출력신호에 의해 스위칭 여부가 제어되어 상기 래치 과정을 거쳐 입력된 뱅크 어드레스 신호에 따른 내부의 뱅크 어드레스 신호를 발생시키는 스위칭 과정 및,

상기 스위칭 과정을 거쳐 발생된 내부의 뱅크 어드레스 신호를 전달받아 순차적 리프레쉬 동작수행을 위한 다수의 뱅크 조합을 형성하는 칩-셋 제어과정을 구비하는 것을 특징으로 하는 뱅크 리프레쉬 제어방법.

【도 1】



1020000082345

【도 2】

리프레쉬 명령신호	뱅크 조합 예 1				뱅크 조합 예 2				뱅크 조합 예 3			
	BA2	BA1	BA0	리프레쉬 수행 뱅크	BA2	BA1	BA0	리프레쉬 수행 뱅크	BA2	BA1	BA0	리프레쉬 수행 뱅크
자동 리프레쉬	0 0	0 0	1 X	0, 1	0 0	1 X	0 0	0, 2	1 X	0 0	0 0	0, 4
자동 리프레쉬	0 0	0 1	0 X	2, 3	0 0	0 X	0 1	1, 3	0 X	0 0	0 1	1, 5
자동 리프레쉬	0 1	0 0	0 X	4, 5	0 1	0 X	0 0	4, 6	0 X	0 1	0 0	2, 6
자동 리프레쉬	0 1	0 1	0 X	6, 7	0 1	0 X	0 1	5, 7	0 X	0 1	0 1	3, 7

【도 3】

(1)	뱅크 0
(2)	뱅크 2
(3)	뱅크 4
(4)	뱅크 6
(1)	뱅크 1
(2)	뱅크 3
(3)	뱅크 5
(4)	뱅크 7